计算机组成与体系结构

目录

[计算机组成与体系结构 1](#_Toc524379880)

[1 计算机系统组成 1](#_Toc524379881)

[1.1 计算机硬件的组成 1](#_Toc524379882)

[1.2 计算机系统结构的分类 3](#_Toc524379883)

[1.3 复杂指令集系统与精简指令集系统 4](#_Toc524379884)

[1.4 总线 5](#_Toc524379885)

[2 存储器系统 6](#_Toc524379886)

[2.1 主存储器 6](#_Toc524379887)

[2.2 辅助存储器 7](#_Toc524379888)

[2.3 Cache 存储器 9](#_Toc524379889)

[3 流水线 10](#_Toc524379890)

[3.1 流水线周期 10](#_Toc524379891)

[3.2 计算流水线执行时间 10](#_Toc524379892)

[3.3 流水线的吞吐率 11](#_Toc524379893)

[3.4 流水线的加速比 11](#_Toc524379894)

# 计算机系统组成

## 计算机硬件的组成

* 在嵌入式系统的存储部件中，存取速度最快的是（1）。

2016年(1)

A.内存

B.寄存器组

C.Flash

D.Cache

【答案】B

【解析】本题考查嵌入式系统存储结构的基础知识嵌入式系统的存储结构采用分级的方法来设计，从而使得整个存储系统分为四级，即寄存器组、高速缓冲(Cache)、内存(包括flash)和外存，它们在存取速度上依次递减，而在存储容量上逐级递增。

* 计算机采用分级存储体系的主要目的是为了（9）。

2014年(9)

A.解决主存容量不足的问题

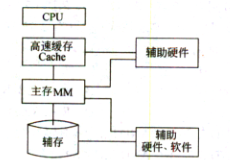
B.提高存储器读写可靠性

C.提高外设访问效率

D.解决存储的容量、价格和速度之间的矛盾

【答案】D 【解析】本题考查计算机系统基础知识。

存储体系结构包括不同层次上的存储器，通过适当的硬件、软件有机地组合在一起形成计算机的存储体系结构。例如，由髙速缓存（Cache)、主存储器（MM)和辅助存储器构成的3层存储器层次结构存如下图所示。



接近CPU的存储器容量更小、速度更快、成本更高，辅存容量大、速度慢，价格低。采用分级存储体系的目的是解决存储的容量、价格和速度之间的矛盾。

* 计算机执行程序时，在一个指令周期的过程中，为了能够从内存中读指令操作码，首先是将（9)的内容送到地址总线上。

2010年(9)

A.程序计数器PC

B.指令寄存器IR

C.状态寄存器SR

D.通用寄存器GR

【答案】A 【解析】

计算机执行程序时，在一个指令周期的过程中，为了能够从内存中读指令操作码，首先是将程序计数器（PC)的内容送到地址总线上。

* 在嵌入式系统设计时，下面几种存储结构中对程序员是透明的是（11）。

2009年(11)

A.高速缓存

B.磁盘存储器

C.内存

D.flash存储器

【答案】A 【解析】本题主要考查嵌入式系统程序设计中对存储结构的操作。对照4个选项，可以立即看出高速缓存(Cache)对于程序员来说是透明的。

## 计算机系统结构的分类

* 嵌入式处理器是嵌入式系统的核心部件，一般可分为嵌入式微处理器(MPU)、微控制器(MCU)、数字信号处理器(DSP)和片上系统(SOC)。以下叙述中，错误的是（3）。

2016年(3)

A.MPU在安全性和可靠性等方面进行增强，适用于运算量较大的智能系统

B.MCU典型代表是单片机，体积小从而使功耗和成本下降

C.DSP处理器对系统结构和指令进行了特殊设计，适合数字信号处理

D.SOC是一个有专用目标的集成电路，其中包括完整系统并有嵌入式软件的全部内容

【答案】A

【解析】MPU采用增强型通用微处理器。由于嵌入式系统通常应用于环境比较恶劣的环境中，因而MPU在工作温度、电磁兼容性以及可靠性方面的要求较通用的标准微处理器高。但是，MPU在功能方面与标准的微处理器基本上是一样的。A是错的。 MCU又称单片微型计算机(Single Chip Microcomputer)或者单片机，是指随着大规模集成电路的出现及其发展，将计算机的CPU、RAM、ROM、定时计数器和多种I/O接口集成在一片芯片上，形成芯片级的计算机，为不同的应用场合做不同组合控制。B是对的。DSP是一种独特的微处理器，是以数字信号来处理大量信息的器件。实时运行速度可达每秒数以千万条复杂指令程序，远远超过通用微处理器，它的强大数据处理能力和高运行速度，是最值得称道的两大特色。C也是对的。SOC称为系统级芯片，也有称片上系统,意指它是一个产品，是一个有专用目标的集成电路，其中包含完整系统并有嵌入软件的全部内容。D也是对的。

## 复杂指令集系统与精简指令集系统

* 以下关于CISC (Complex Instruction Set Computer,复杂指令集计算机）和RISC (Reduced Instruction Set Computer精简指令集计算机）的叙述中，错误的是（9).

2011年(9)

A.在CISC中，复杂指令都采用硬布线逻辑来执行

B.—般而言，采用CISC技术的CPU,其芯片设计复杂度更髙

C.在RISC中，更适合采用硬布线逻辑执行指令

D.采用RISC技术，指令系统中的指令种类和寻址方式更少

【答案】A 【解析】本题考查计算机指令体系基础知识。 CISC (Complex Instruction Set Computer,复杂指令集计算机）的基本思想是进一步增强原有指令的功能，用更为复杂的新指令取代原先由软件子程序完成的功能，实现软件功能的硬件化，导致机器的指令系统越来越庞大而复杂。CISC计算机一般所含的指令数目至少300条以上，有的甚至超过500条。

CISC的主要缺点如下：①微程序技术是CISC的重要支柱，每条复杂指令都要通过执行一段解释性微程序才能完成，这就需要多个CPU周期，从而降低了机器的处理速度；②指令系统过分庞大，从而使高级语言编译程序选择目标指令的范围很大，并使编译程序本身冗长而复杂，从而难以优化编译使之生成真正髙效的目标代码：③CISC强调完善的中断控制，势必导致动作繁多，设计复杂，研制周期长：④CISC给芯片设计带来很多困难，使芯片种类增多，出错几率增大，成本提高而成品率降低。

RISC (Reduced Instruction Set Computer,精简指令集计算机）的基本思想是通过减少指令总数和简化指令功能，降低硬件设计的复杂度，使指令能单周期执行，并通过优化编译，提高指令的执行速度，采用硬线控制逻辑，优化编译程序。

实现RISC的关键技术有：①重叠寄存器窗口（overlapping register windows)技术，首先应用在伯克利的RISC项目中；②优化编译技术，RISC使用了大量的寄存器，如何合理分配寄存器、提高寄存器的使用效率，减少访存次数等，都应通过编译技术的优化来实现；③超流水及超标量技术，这是RISC为了进一步提高流水线速度而采用的新技术；④硬线逻辑与微程序相结合在微程序技术中。

## 总线

* 计算机系统中，在(12)的情况下一般应采用异步传输方式。

2010年(12)

A.CPU访问内存

B.CPU与I/O接口交换信息

C.CPU与PCI总线交换信息

D.I/O接口与打印机交换信息

【答案】D 【解析】本题考查计算机系统中数据传输的方式。

CPU访问内存通常是同步方式，CPU与I/O接口交换信息通常是同步方式，CPU与PCI总线交换信息通常是同步方式，I/O接口与打印机交换信息则通常采用基于缓存池的异步方式，因此答案为D。

* 挂接在总线上的多个部件(12)。

2011年(12)

A.只能分时向总线发送数据，并只能分时从总线接收数据

B.只能分时向总线发送数据，但可同时从总线接收数据

C.可同时向总线发送数据，并同时从总线接收数据

D.可同时向总线发送数据，但只能分时从总线接收数据

【答案】B 【解析】本题考查计算机系统总线结构基础知识。

总线是一组能为多个部件分时共享的信息传送线，用来连接多个部件并为之提供信息交换通路。所谓共享，指连接到总线上的所有部件都可通过它传递信息；分时性指某一时刻只允许一个部件将数据发送到总线上。因此，共享是通过分时实现的。

# 存储器系统

## 主存储器

* 虚拟存储器发生页面失效时，需要进行外部地址变换，即实现（11)的变换。

2011年(11)

A.虚地址到主存地址

B.主存地址到Cache地址

C.主存地址到辅存物理地址

D.虚地址到辅存物理地址

【答案】D 【解析】本题考查存储系统基础知识。 虚拟存储器是一个容量非常大的存储器的逻辑模型，不是任何实际的物理存储器。

它借助于磁盘等辅助存储器来扩大主存容量，使之为更大或更多的程序所使用。虚拟存储器管理方式分为页式虚拟存储器、段式虚拟存储器和段页式虚拟存储器。

虚拟存储器是由硬件和操作系统自动实现存储信息调度和管理的。它的工作过程包括6个步骤：

①中央处理器访问主存的逻辑地址分解成组号a和组内地址b，并对组号a进行地址变换，即将逻辑组号a作为索引，查地址变换表，以确定该组信息是否存放在主存内。

②如该组号已在主存内，则转而执行④；如果该组号不在主存内，则检查主存中是否有空闲区，如果没有，便将某个暂时不用的组调出送往辅存，以便将需要访问的信息调入主存。

③从辅存读出所要的组，并送到主存空闲区，然后将那个空闲的物理组号a和逻辑组号a登录在地址变换表中。

④从地址变换表读出与逻辑组号a对应的物理组号a。

⑤从物理组号a和组内字节地址b得到物理地址。

⑥根据物理地址从主存中存取必要的信息。

页式调度是将逻辑和物理地址空间都分成固定大小的页。主存按页顺序编号，而每个独立编址的程序空间有自己的页号顺序，通过调度，辅存中程序的各页可以离散装入主存中不同的页面位置，并可据页表一一对应检索。

* 内存按字节编址，利用8KX4b的存储器芯片构成84000H到8FFFFH的内存，共需 (10)片。

2010年(10)

A.6

B.8

C.12

D.24

【答案】C 【解析】 根据题目描述，采用该存储器芯片需要构成8FFFFH-84000H =BFFFH的空间，且内存按照字节(8b)编码，需要的容量是BFFFHX8b，一片存储芯片的容量是8KX4b，统一单位后相除并取最近的偶数(因为地址空间是字节)，可以得到答案为12。

## 辅助存储器

* 某计算机系统输入/输出采用双缓冲工作方式，其工作过程如下图所示，假设磁盘块与缓冲区大小相同，每个盘块读入缓冲区的时间T为10μs，缓冲区送用户区的时间M为6μs，系统对每个磁盘块数据的处理时间C为2μs。若用户需要将大小为10个磁盘块的Docl文件逐块从磁盘读入缓冲区，并送用户区进行处理，那么采用双缓冲需要花费的时间为（5）μs，比使用单缓冲节约了（6）μs时间。

2016年(5)

A.100

B.108

C.162

D.180

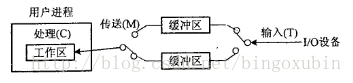
2016年(6)

A.0

B.8

C.54

D.62



【答案】B C

【解析】 单缓冲区执行时间：(10+6+2)+(10-1)\*(10+6)=162μs双缓冲区执行时间：(10+6+2)+(10-1)\*10=108μs 双缓冲比单缓冲节省162-108=54μs。

1. 无缓冲

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0 | 10 | 16 | 18 | 26 | 32 | 34 | 42 | 48 | 50 |
| 磁盘 | 1 |  | 2 |  |  | 3 |  |  | 4 |  |
| 10 |  |  |  |  |  |  |  |  |  |  |
| 缓冲 |  | 1 |  |  | 2 |  |  | 3 |  |  |
| 6 |  |  |  |  |  |  |  |  |  |  |
| 用户区 |  |  | 1 |  |  | 2 |  |  | 3 |  |
| 2 |  |  |  |  |  |  |  |  |  |  |
| 处理完 |  |  |  | 1 |  |  | 2 |  |  | 3 |

（2）双缓冲

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 0 | 10 | 16 | 18 | 20 | 26 | 28 | 30 | 36 | 38 |
| 磁盘 | 1 | 2 | 2 | 2 | 3 |  |  | 4 |  |  |
| 10 |  |  |  |  |  |  |  |  |  |  |
| 缓冲 |  | 1 |  |  | 2 |  |  | 3 |  |  |
| 6 |  |  |  |  |  |  |  |  |  |  |
| 用户区 |  |  | 1 |  |  | 2 |  |  | 3 |  |
| 2 |  |  |  |  |  |  |  |  |  |  |
| 处理完 |  |  |  | 1 |  |  | 2 |  |  | 3 |

* 某磁盘磁头从一个磁道移至另一个磁道需要10ms。文件在磁盘上非连续存放，逻辑上相邻数据块的平均移动距离为10个磁道，每块的旋转延迟时间及传输时间分别为100ms和2ms,则读取一个100块的文件需要(11) ms的时间。

2010年(11)

A.10200

B.11000

C.11200

D.20200

【答案】D 【解析】

根据题目描述，读取一个连续数据需要的时间包括移动时间、旋转延迟时间和传输时间三个部分，总时间花为(10\*10)+100+2=202ms。一次读取一个100块的文件需要的时间为202\*100=20200ms.

## Cache 存储器

* 以下关于Cache的叙述中，正确的是（10）。

2011年(10)

A.在容量确定的情况下，替换算法的时间复杂度是影响Cache命中率的关键因素

B.Cache的设计思想是在合理的成本下提高命中率

C.Cache的设计目标是容量尽可能与主存容量相等

D.CPU中的Cache容量应大于CPU之外的Cache容量

【答案】B 【解析】本题考査存储系统基础知识。

在计算机系统中，常选用生产与运行成本、存储容量和读写速度各不相同的多种存储介质，组成一个统一管理的存储器系统，使每种介质充分发挥各自在速度、容量、成本方面的优势，从而达到最优性能价格比，满足使用要求。

高速缓存Cache用来存放当前最活跃的程序和数据，作为主存局部域的副本，其特点是：容量一般在几KB到几MB之间；速度一般比主存快5到10倍，由快速半导体存储器构成；其内容是主存局部域的副本，对程序员来说是透明的。

替换算法的目标就是使Cache获得最高的命中率。常用算法有随机替换算法、先进先出算法、近期最少使用算法和优化替换算法。

Cache的性能是计算机系统性能的重要方面。命中率是Cache的一个重要指标，但不是最主要的指标。Cache设计的目标是在成本允许的条件下达到较高的命中率，使存储系统具有最短的平均访问时间。

Cache的命中率与Cache容量的关系是:Cache容量越大，则命中率越高，随着Cache容量的增加，其命中率逐渐接近100%。但是增加Cache容量意味着增加Cache的成本和增加Cache的命中时间。

# 流水线

## 流水线周期

## 计算流水线执行时间

流水线时间计算公式：一条指令所需时间+（指令条数-1）\*时间最长的指令的一段

## 流水线的吞吐率

* 某指令流水线由5段组成，各段所需要的时间如下图所示。连续输入100条指令时的吞吐率为(4)。

https://img1.shangxueba.com/images/ct_crmstsz_crmstschoosecn1_00156(20094).jpg

2016年(4)

A．100/800△t

B．100/495△t

C．100/305△t

D．100/300△t

【答案】C

【解析】 在题目给出的环境下，100条指令的执行时间为：(Δt+3Δt+Δt+2Δt+Δt)+(100-1)\*3Δt=305Δt 吞吐率=指令条数/执行时间=100/305Δt 。

## 流水线的加速比